

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-118158  
(P2005-118158A)

(43) 公開日 平成17年5月12日(2005.5.12)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
A 6 1 B 1/04	A 6 1 B 1/04 3 7 0	4 C 0 6 1
H 0 4 N 5/232	H 0 4 N 5/232 Z	5 C 0 2 2

審査請求 未請求 請求項の数 4 O L (全 10 頁)

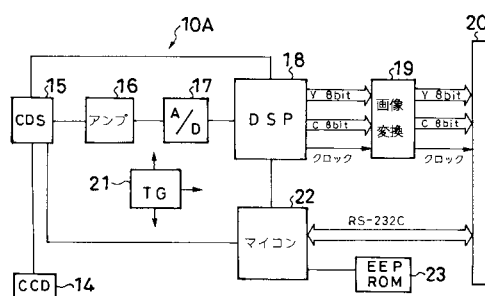
(21) 出願番号	特願2003-354279 (P2003-354279)	(71) 出願人	000005430 フジノン株式会社 埼玉県さいたま市北区植竹町1丁目324番地
(22) 出願日	平成15年10月14日(2003.10.14)	(74) 代理人	100098372 弁理士 緒方 保人
		(72) 発明者	阿部 一則 埼玉県さいたま市北区植竹町1丁目324番地 富士写真光機株式会社内
		(72) 発明者	南 逸司 埼玉県さいたま市北区植竹町1丁目324番地 富士写真光機株式会社内
		Fターム(参考)	4C061 CC06 JJ18 JJ19 LL01 RR25 RR26 UU08 5C022 AA09 AB36 AC03

(54) 【発明の名称】 電子内視鏡装置

(57) 【要約】

【課題】新しい高画素数の固体撮像素子を搭載した電子スコープでも、従来の高画素数に対応していないプロセッサ装置に接続して使用できるようにする。

【解決手段】例えば、非TV系の85万画素CCDに対応した画像処理を行うプロセッサ装置に、130万画素相当のハニカムCCD14を搭載する新電子スコープ10Aが接続される場合、スコープ側解像度変換回路としてDSP18及び画像変換回路19を設け、映像信号につき130万画素CCDに対応した画素数(1280×960のSXGA)から85万画素CCDに対応した画素数(1024×768のXGA)へのダウンコンバートを行う。このとき、上記画像変換回路19では、データの書き込みが読出しを追い越さない画素数とされたラインメモリを用いることにより、表示遅れの無い迅速な処理を実現する。



【選択図】 図1

**【特許請求の範囲】****【請求項 1】**

入力映像信号につき予め設定されているプロセッサ側の処理可能な最大画素数に対応した画像処理を施し動画像信号をモニタへ出力するプロセッサ装置と、

このプロセッサ装置に着脱自在に接続され、上記プロセッサ側の処理可能な最大画素数よりも大きい画素数の固体撮像素子を搭載した電子スコープと、

この電子スコープ内に配置され、上記固体撮像素子から出力された画像信号の画素数を上記プロセッサ側最大画素数の画像信号へダウンコンバートするスコープ側解像度変換回路と、を含んでなる電子内視鏡装置。

**【請求項 2】**

上記電子スコープでは、上記固体撮像素子出力画像信号を、上記プロセッサ側最大画素数の画像信号の処理速度であるプロセッサ側処理速度よりも速い固体撮像素子処理速度で読み出すように構成し、

上記スコープ側解像度変換回路は、上記プロセッサ側最大画素数に適合するように上記固体撮像素子出力画像信号の水平方向及び垂直方向の画素数を減少させる信号処理回路と、この信号処理回路から出力されたフレーム画像データを上記固体撮像素子処理速度で書き込むと共に、このフレーム画像データを上記プロセッサ側処理速度で読み出すように制御され、1フレーム画像におけるデータの書き込みが読出しを追い越さない画素数に設定されたラインメモリと、を含んで構成したことを特徴とする上記請求項 1 記載の電子内視鏡装置。

**【請求項 3】**

TV系固体撮像素子を搭載するTV系電子内視鏡と非TV系固体撮像素子を搭載する非TV系電子スコープが上記プロセッサ装置へ接続可能に構成されている場合、上記電子スコープ内のスコープ側解像度変換回路では、上記非TV電子スコープの非TV用画素数へのダウンコンバートを行うと共に、

上記プロセッサ装置内に、上記TV系電子内視鏡が接続された場合は非TV用画素数への変換を行い、上記非TV系電子スコープが接続された場合はTV用画素数への変換をする解像度変換回路を設けたことを特徴とする上記請求項 1 又は 2 記載の電子内視鏡装置。

**【請求項 4】**

上記プロセッサ装置では、接続される電子スコープの識別情報を取得し、この識別情報に基づいて電子スコープに設定されているフレームレートを維持した非TV用画像信号を形成するようにしたことを特徴とする上記請求項 1 乃至 3 記載の電子内視鏡装置。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は電子内視鏡装置、特に画素数の異なる固体撮像素子を搭載した各種の電子スコープをプロセッサ装置へ接続すると共に、撮像された被観察体映像を非TV用モニタやTV用モニタに表示することができる電子内視鏡装置の構成に関する。

**【背景技術】****【0002】**

電子内視鏡装置は、CCD (Charge Coupled Device) 等の固体撮像素子を電子スコープ (電子内視鏡) の先端部に搭載し、このCCDでは光源装置からの光の照明に基づいて被観察体を撮像する。このようなCCDで得られた撮像信号をプロセッサ装置へ出力し、プロセッサ装置で各種の映像処理を施すことにより、被観察体の映像をモニタへ表示したり、静止画等を記録装置へ記録したりすることができる。

**【0003】**

この種の電子内視鏡装置では、TV (テレビ) 用モニタの表示画素数 (解像度) よりも大きい画素数のCCDを搭載し、この高画素数のCCDで撮像された被観察体映像 (動画及び静止画) をTV用モニタだけでなく、PC (パソコン) 用モニタにも表示できるようにすることが行われる。

10

20

30

40

50

## 【0004】

図10には、異なる画素数のCCDで得られた映像をPC用モニタとTV用モニタへ表示する場合の処理が示されている。図10(A)に示されるように、TV系(テレビ表示解像度に適合する)のCCD(例えば41万画素)1aを用いる場合は、このCCD1aで得られた画像の画素数をフレームメモリが内蔵された解像度変換回路2aで増加させ、この画素数を増加させた映像信号をPC用モニタへ出力すると共に、TV用モニタへは上記CCD1aからの出力信号を解像度変換せずにそのまま出力する。また、図10(B)に示されるように、PC系(テレビ表示解像度よりも高い解像度を有する)のCCD(例えば85万画素)1bを用いる場合は、このCCD1bから出力された信号を解像度変換せずに映像信号としてPC用モニタへ出力し、TVモニタへは上記CCD1bで得られた画像の画素数をフレームメモリが内蔵された解像度変換回路2bで減少させ、この画素数を減少させた映像信号をTV用モニタへ出力する。これによれば、高画素数のCCDで得られた高解像度の内視鏡映像を観察し、利用することが可能となる。

10

【特許文献1】特開2000-287203号公報

【特許文献2】特開2002-253496号公報

【発明の開示】

【発明が解決しようとする課題】

## 【0005】

ところで、近年では、固体撮像素子であるCCDの高画素数化が格段に進んでおり、例えば130万画素に相当する65万画素八ニカムCCD等のように、85万画素を超える高画素数のCCDが使用可能になっている。しかし、この高画素数化されたCCDを電子内視鏡に搭載する場合は、プロセッサ装置でも高画素数に対応した構成が必要となるので、従来のプロセッサ装置を用いることができないという問題があった。即ち、図10の構成の場合、解像度変換回路2a, 2b内のフレームメモリの構成が85万画素に対応しており、これを超える画素数の画像ではデータが溢れ、解像度処理をすることができない。また、静止画を形成するために静止画用メモリが用いられているが、この静止画についても同様のことがいえる。もちろん、高画素数のCCDに対応した処理をするプロセッサ装置を併せて製作すればよいが、これでは、従来機器(資産)を有効に利用することができない。

20

## 【0006】

本発明は上記問題点に鑑みてなされたものであり、その目的は、新しい高画素数の固体撮像素子を搭載した電子スコープでも、従来の高画素数に対応していないプロセッサ装置に接続して使用できるようになり、従来装置の有効利用とコストの低減を図ることができる電子内視鏡装置を提供することにある。

30

【課題を解決するための手段】

## 【0007】

上記目的を達成するために、請求項1に係る発明は、入力映像信号につき予め設定されているプロセッサ側の処理可能な最大画素数に対応した画像処理を施し動画像信号をモニタへ出力するプロセッサ装置と、このプロセッサ装置に着脱自在に接続され、上記プロセッサ側の処理可能な最大画素数よりも大きい画素数の固体撮像素子を搭載した電子スコープ(例えば新電子スコープ)と、この電子スコープ内に配置され、上記固体撮像素子から出力された画像信号の画素数を上記プロセッサ側最大画素数の画像信号へダウンコンバートするスコープ側解像度変換回路と、を含んでなることを特徴とする。

40

請求項2に係る発明は、上記電子スコープでは、上記固体撮像素子出力画像信号を、上記プロセッサ側最大画素数の画像信号の処理速度であるプロセッサ側処理速度(クロック周波数)よりも速い固体撮像素子処理速度(高いクロック周波数)で読み出すように構成し、上記スコープ側解像度変換回路は、上記プロセッサ側最大画素数に適合するように上記固体撮像素子出力画像信号の水平方向及び垂直方向の画素数を減少させる信号処理回路と、この信号処理回路から出力されたフレーム画像データを上記固体撮像素子処理速度で書き込むと共に、このフレーム画像データを上記プロセッサ側処理速度で読み出すように

50

制御され、1フレーム画像におけるデータの書込みが読出しを追い越さない画素数に設定されたラインメモリと、を含んで構成したことを特徴とする。

【0008】

請求項3に係る発明は、TV(テレビ)系固体撮像素子を搭載するTV系電子内視鏡と非TV系[例えばPC(パソコン)系]固体撮像素子を搭載する非TV系電子スコープが上記プロセッサ装置へ接続可能に構成されている場合、上記電子スコープ内のスコープ側解像度変換回路では、上記非TV系電子スコープの非TV用画素数へのダウンコンバートを行うと共に、上記プロセッサ装置内に、上記TV系電子内視鏡が接続された場合は非TV用画素数への変換を行い、上記非TV系電子スコープが接続された場合はTV用画素数への変換をする解像度変換回路を設けたことを特徴とする。上記TV系固体撮像素子としては、例えばインターライン方式対応のCCDがあり、上記非TV系固体撮像素子としては、例えばパソコン用モニターに対応したプログレッシブ方式のCCDがある。

10

請求項4に係る発明は、上記プロセッサ装置では、接続される電子スコープの識別情報を取得し、この識別情報に基づいて電子スコープに設定されているフレームレートを維持した非TV用画像信号を形成するようにしたことを特徴とする。

【0009】

上記の構成によれば、例えば非TV系(非PC用モニターの表示に適したもの)の85万画素(プロセッサ側最大画素数)CCDに対応した画像処理を行うプロセッサ装置に、130万画素CCDを搭載する新電子スコープが接続される場合を考えると、新電子スコープの解像度変換回路では、映像信号につき、130万画素CCDに対応した画素数(1280×960のSXGA)から85万画素CCDに対応した画素数(1024×768のXGA)へのダウンコンバート(解像度変換)が行われる。

20

【0010】

そして、この130万画素CCDの出力信号の処理は、85万画素CCDの出力信号の処理速度(クロック周波数)よりも速い速度で行われるので、上記スコープ側解像度変換回路では、フォーマット調整のために変換前の画像データをメモリに記憶し再度読み出すことが必要となる。このメモリとしては、フレームメモリを用いることもできるが、請求項2の発明では、速い速度の信号書込みが遅い速度の信号読出しを追い越さない画素数に設定されたラインメモリを用いて画像信号の解像度変換が行われる。このラインメモリによれば、フレームメモリを用いる場合と比較すると、1フレーム期間の信号の遅れが発生せず、表示処理が迅速に行われるという利点がある。

30

【発明の効果】

【0011】

本発明の請求項1の電子内視鏡装置によれば、スコープ側解像度変換回路にて、新電子スコープで得られた画像信号の画素数を従来のプロセッサ装置のプロセッサ側画素数へ変換できるようにしたので、高画素数の固体撮像素子を搭載した新電子スコープを従来のプロセッサ装置に接続して使用することができ、従来機器の有効利用とコストの低減を図ることが可能となる。

また、請求項2の発明によれば、ラインメモリを用いることにより解像度変換が迅速に行われるので、被観察体映像の表示の遅れを防止することができる。

40

【発明を実施するための最良の形態】

【0012】

図1乃至図3には、実施例に係る電子内視鏡装置の構成が示されており、この電子内視鏡装置は、図3に示されるように、電子スコープ(電子内視鏡)10、この電子スコープ10が着脱自在に接続可能となるプロセッサ装置11及び光源装置12から構成される。この光源装置12から出力される照明光は、電子スコープ10の先端部までライトガイドを介して供給され、先端部から被観察体へ照射される。上記電子スコープ10としては、従来から、85万画素CCDや41万画素CCD等を搭載する各種の従来のスコープが存在するが、当該例では、これに加えて図1の新電子スコープ10Aが製作されており、これらの各種スコープがプロセッサ装置11に接続可能に構成される。

50

## 【0013】

図1には、新電子スコープ10Aの構成が示されており、この新電子スコープ10Aの先端部に非TV系(例えばPC系)固体撮像素子であるCCD14が設けられ、このCCD14としては、例えば65万画素八ニカムCCD(出力画素数は130万画素となる)や、通常の130万画素CCD等が搭載される。このCCD14には、CCD出力信号をサンプリングするCDS(相関二重サンプリング)回路15、ゲインアンプ16、A/D変換器17が接続され、このA/D変換器17の後段に、スコープ側解像度変換回路として、Y(輝度)信号とC(カラー)信号を形成出力するDSP(デジタル信号プロセッサ)18と、画像変換回路19が設けられる。このDSP18は、各種の画像処理を施すと共に画像の水平方向及び垂直方向の画素数を変換し、また画像変換回路19は、ラインメモリの書込み及び読出しの制御による画像フォーマットの変換を行うことにより、上記CCD14の画素数(例えば130万画素)をプロセッサ側最大画素数(例えば85万画素)へダウンコンバートする。

10

## 【0014】

また、新電子スコープ10には、プロセッサ装置11との間の接続のインターフェース20、CCD14からの信号読出しや各回路での画像処理のために、クロック周波数、水平同期信号及び垂直同期信号等を形成するタイミングジェネレータ(TG)21、スコープ内の統括的な制御をするマイコン22、画素形成のための各種データ及びプログラムを記憶するEEPROM23等が配置される。

## 【0015】

図2には、上記画像変換回路19内の詳細な構成が示されており、実施例では、130万画素のCCD14を駆動するためのクロック周波数として49.0908MHz( $f_1$ )が用いられ、プロセッサ装置11側では、85万画素の処理のためのクロック周波数として32.7272MHz( $f_2$ )が用いられる。この画像変換回路19内には、上記DSP18から出力されたY, C信号を入力し、詳細は後述するが速い速度( $f_1$ )の書込みが遅い速度( $f_2$ )の読出しを追い越すことなく画像変換(フォーマット変換)を行うために、水平ラインの1233ドットデータを記憶するラインメモリ19a、書込みのために周波数 $f_1$ のクロック信号を3072だけカウントする書込み用カウンタ19b、読出しのために周波数 $f_2$ のクロック信号を3072だけカウントする読出し用カウンタ19c、この周波数 $f_2$ を生成するための同期信号生成回路19dが設けられる。

20

30

## 【0016】

図3には、プロセッサ装置11内の詳細な構成が示されており、このプロセッサ装置11内には、映像信号のレベルを変換するレベル変換回路25、Y(輝度), C(カラー)の信号をR(赤), G(緑), B(青)の信号に変換する色変換回路26、この色変換回路26から出力されたインターレース信号をプログレッシブ(ノンインターレース)信号へ変換する(プログレッシブ信号は通過させる)インターレース/プログレッシブ変換回路27、非TV用モニタ(例えばPC用モニタ)の画素数(解像度)に合わせるための非TV用解像度変換回路28、キャラクタ発生回路29で形成されたキャラクタを映像信号へ加えるためのキャラクタ混合回路30、D/A変換器31及び非TV系同期信号発生回路(SSG)32が設けられる。この非TV系同期信号発生回路32は、85万画素CCDで得られる画像を処理するクロック周波数、水平同期信号、垂直同期信号等を発生する。

40

## 【0017】

上記非TV用解像度変換回路28は、85万画素に対応するXGA(Extended Graphics Array - 1024 x 768画素)規格の1フレーム分の画像データを記憶するフレームメモリを有し、XGA用の処理を行っており、新電子スコープ10Aや85万画素CCDを搭載する電子スコープ10が接続される場合は、この解像度変換を行わないが、41万画素等のTV系のCCDやその他の画素数の電子スコープ10が接続される場合は、XGA画像の1024 x 768の画素数に拡大する解像度変換を行う。

## 【0018】

50

また、プロセッサ装置 11 には、上記キャラクタ混合回路 30 の出力を入力する TV 用解像度変換回路 35、プログレッシブ信号をインターレース信号へ変換するプログレッシブ/インターレース変換回路 36、この変換回路 36 から出力された RGB の信号をアナログ信号に変換する D/A 変換器 37、上記プログレッシブ/インターレース変換回路 36 から出力された RGB 信号を Y (輝度)、C (カラー) 信号へ変換するエンコーダ 38、D/A 変換器 39、TV 系の CCD で得られる画像を処理するクロック周波数、水平同期信号、垂直同期信号等を発生する TV 系同期信号発生回路 (SSG) 40 及びプロセッサ装置 11 内の回路を統括制御するマイコン 41 等が設けられる。

#### 【0019】

上記 TV 用解像度変換回路 35 は、VGA (Video Graphics Array - 640 × 480 画素) 規格の 1 フレーム分の画像データを記憶するフレームメモリを有し、画素数を減らす解像度変換を行うことにより、XGA 画像を VGA 画像へ変換する。即ち、TV 系 CCD で得られた画像は上記非 TV 用解像度変換回路 28 で増加させた画素数を減少させて元へ戻し、新電子スコープ 10A の CCD 14 を含む非 TV 系 CCD で得られた画像についても、画素数を減少させることになる。

#### 【0020】

実施例は以上の構成からなり、図 1 の新電子スコープ 10 のタイミングジェネレータ 21 では、図 4 (A) に示されるように、発振器から出力された 24.5454 MHz の周波数を 4 倍し、図 4 (B) の 98.1816 MHz の信号が形成され、この 98.1816 MHz の信号を 1/2 分周することにより、図 4 (C) の 49.0908 MHz の周波数  $f_1$  が形成されており、この  $f_1$  が 65 万画素八ニカム CCD 14 の信号を処理するためのクロック周波数として用いられる。また、図 2 の同期信号生成回路 19d では、図 4 (B) の 98.1816 MHz の信号を 1/3 分周することにより、図 4 (D) の 32.7272 MHz の周波数  $f_2$  が形成され、この  $f_2$  が 85 万画素 CCD に対応する XGA の画像処理のためのクロック周波数として用いられる。また、プロセッサ装置 11 内の同期信号発生回路 32, 40 では、上記図 4 (D) の周波数  $f_2$  のクロック信号が生成されると共に、非 TV 系及び TV 系の画像を処理するための周波数の信号等が形成される。

#### 【0021】

図 5 には、実施例の新電子スコープ 10A で行われる画素数 (解像度) 変換が示されており、図 5 (A) のように、CCD 14 で得られる画像の有効画素数は 1280 × 960 (SXGA - Super XGA) となり、これが図 5 (B) のように 1024 × 768 の画素数 (XGA) へダウンコンバートされる。

#### 【0022】

図 8 には、上記 CCD 14 で得られる SXGA 画像の処理画素の構成が示されており、水平方向では 296 画素のダミー (無効画素) が設定され、1576 (= 1280 + 296) 画素を処理の対象としており、水平の周波数は、 $1 / [1576 \times (1 / 49.0908 \text{ MHz})]$  31.149 kHz (32.10378  $\mu\text{sec}$ ) となる。また、垂直方向では 40 画素 (ライン) のダミーが設定され、1000 (= 960 + 40) 画素を処理の対象としており、垂直の周波数 (フレームレート) は、 $1 / [1000 \times (1 / 31.149 \text{ MHz})]$  31.149 Hz (32.10378  $\mu\text{sec}$ ) となる。即ち、従来の 85 万画素 CCD に対応した電子内視鏡装置では、フレームレートが約 1/20 であるのに対し、実施例ではフレームレートが約 1/30 となり、1 秒間に約 30 フレームの画像を表示できることになる。

#### 【0023】

図 9 には、画素数変換される XGA 画像の処理画素の構成が示されており、水平方向では 236 画素のダミーが設定され、1260 (= 1024 + 236) を処理の対象としており、垂直方向では 65 画素のダミーが設定され、833 (= 768 + 65) を処理の対象としており、上記と同様の計算で、クロック周波数を 32.7272 MHz とすると、フレームレートが 1/30 となる。即ち、実施例の解像度変換後の XGA 画像ではクロック周波数を 32.7272 MHz とすることにより、1/30 のフレームレートが得られ

10

20

30

40

50

るように構成される。

【0024】

次に、図1のDSP18と画像変換回路19からなる解像度変換回路の作用を説明する。当該例では、 $1280 \times 960$ 画素を $1024 \times 768$ 画素に変換することから、変換後の画素数は水平方向( $1024 \div 1280$ )、垂直方向( $768 \div 960$ )が共に、 $4/5$ となり、水平画素は5ドットの入力に対して4ドットを出力し、垂直画素は5ラインの入力に対して4ラインを出力すればよいことになる。この画素の間引き演算は、DSP18で行われる。

【0025】

図6には、水平方向の画素間引き演算が示されており、図6(A)の入力画素 $Y_1 \sim Y_{1280}$ につき、図6(B)に示されるように、画素 $Y_5, Y_{10} \dots$ が間引かれると共に、出力画素については、 $Y_1' = Y_1 \times 0.9 + Y_2 \times 0.1$ 、 $Y_2' = Y_1 \times 0.1 + Y_2 \times 0.8 + Y_3 \times 0.1$ 、 $\dots Y_5' = Y_4 \times 0.1 + Y_5 \times 0.4 + Y_6 \times 0.4 + Y_7 \times 0.1 \dots$ というような演算(重み付け加算平均)が行われる。

【0026】

図7には、垂直方向のライン間引き演算が示されており、同様にライン $L_5, L_{10} \dots$ が間引かれると共に、 $(L_1 + L_2) / 2 = l_1$ 、 $(L_2 + L_3) / 2 = l_2 \dots$ というように、上下ラインのデータが加算(加重)されて新しいライン $l_1 \sim l_{768}$ が形成される。

【0027】

そして、次の画像変換回路19では、ラインメモリ19aを用いてフォーマット変換が行われる。即ち、図2に示されるように、上記DSP18で画素数が調整された画像の水平ラインデータがラインメモリ19aに周波数 $f_1$ のクロック信号で書き込まれ、このデータは周波数 $f_2$ のクロック信号で読み出される。このとき、書込み用カウンタ19bは1576をカウントしながら書込みアドレスを指示し、読出し用カウンタ19cは1024をカウントしながら読出しアドレスを指示する。このような水平ラインデータの書込み及び読出しを繰り返すことにより、XGAの大きさにフォーマットされた1フレームの画像が形成される。

【0028】

上記実施例のラインメモリ19aでは、3072ドットの画素構成とすることにより、1フレーム画像データの読出し及び書込み処理において周波数 $f_1$ の速い書込みが $f_2$ の遅い読出しを追い越さないようにしている。即ち、読出しを書込みから1画素ずらして開始し、最終のラインまでデータの書込み及び読出しを行うとき、書込みの終了時間に対し読出しの完了時間が追い越されない時間を計測すれば、ラインメモリ19aの構成画素数を求めることができる。実施例においては、周波数 $f_1$ (49.0809MHz)によりSXGAの960ライン分のデータが書き込まれる終了時点で、周波数 $f_2$ (32.7272MHz)ではXGAの766ラインの初期位置のデータが読み出される。従って、XGAの水平ラインは768ラインであるから、データ書込みが読出しを追い越さないためには、少なくとも、 $3 (= 768 - 765)$ ライン分の3072( $= 1024 \times 3$ )ドットを記憶する容量があればよいことになる。

【0029】

このようなラインメモリ19aによれば、画像変換に必要なメモリ容量を最小に抑えることにより、小型化が可能になると共に、フレームメモリを用いる場合と比較すると、1フレーム期間の遅れが発生しないので、表示処理を最小時間で迅速に行うことができ、また時間のずれを気にすることなく、プロセッサ装置11での次の処理を実行させることができる。なお、このプロセッサ装置11では、フレームメモリ(例えば解像度変換回路28, 35内)を使用した画像処理が行われており、これによって図9のXGAフォーマットのフレーム画像が構成される。

【0030】

このようにして形成されたXGAの画像信号がプロセッサ装置11へ供給されると、こ

10

20

30

40

50

のプロセッサ装置 11 では、非 TV 用解像度変換回路 28 にて解像度変換を行うことなく、画像信号は D/A 変換器 31 を介して非 TV 用モニタへ出力され、この非 TV 用モニタにプログレッシブ方式で動画像（130 万画素を 85 万画素にダウンコンバートした画像）が表示される。また、画像信号は TV 用解像度変換回路 35 で TV 用の解像度変換を行うことにより、D/A 変換器 37 又は 39 を介して TV 用モニタへ出力されることになり、この TV 用モニタにはインターレース方式で動画像（130 万画素を 41 万画素にダウンコンバートした画像）が表示される。

#### 【0031】

そして、上記の非 TV 用のプログレッシブ画像信号は、CCD 14 から高速周波数  $f_1$  で読み出されたフレームレートを維持するようになる。これは、プロセッサ装置 11 内の制御部の多少の改変により行うことができる。即ち、実施例のプロセッサ装置 11 では、新電子スコープ 10A の識別情報を通信等により取得してスコープ側の画像処理速度（クロック周波数）を判定し、130 万画素相当の CCD 14 では上述のように  $1/30$  のフレームレートとなるので、非 TV 用モニタのフレームレート  $1/60$  に合わせるため、同一のフレーム画像を 2 枚ずつ非 TV 用モニタへ出力するように制御する。従来の 85 万画素対応（XGA）のプロセッサ装置 11 の画像処理では、フレームレートが  $1/20$  となるので、これと比較すると、新電子スコープ 10A を接続した場合は動画性能が向上するという利点がある。即ち、フレームレートが  $1/20$  の場合は、同一のフレーム画像を 3 枚ずつ出力することになり、動きに対する追従性は低下する。

10

#### 【0032】

上記実施例では、新電子スコープ 10A が 130 万画素相当の八ニカム CCD 14 を用い、プロセッサ装置 11 が 85 万画素対応の場合を説明したが、これに限らず、本発明はプロセッサ装置 11 の処理画像の画素数（解像度）よりも高い画素数の CCD を搭載する電子スコープ 10 を接続する場合に同様に適用することが可能となる。

20

#### 【図面の簡単な説明】

#### 【0033】

【図 1】本発明の実施例に係る電子内視鏡装置（新電子スコープ）の構成を示す回路ブロック図である。

【図 2】実施例（図 1）の画像変換回路の内部構成を示す回路ブロック図である。

【図 3】実施例の電子スコープ（主にプロセッサ装置）の全体構成を示す回路ブロック図である。

30

【図 4】実施例で用いられるクロック周波数の生成状態を示す信号波形図である。

【図 5】実施例の画素数変換（解像度変換）を示す説明図である。

【図 6】実施例における水平画素の変換動作を示す説明図である。

【図 7】実施例における垂直画素の変換動作を示す説明図である。

【図 8】実施例の新電子スコープ CCD で得られる SXGA 画像の処理画素の構成を示す説明図である。

【図 9】実施例のプロセッサ装置で形成される XGA 画像の処理画素の構成を示す説明図である。

【図 10】従来の電子内視鏡装置において PC 用モニタと TV 用モニタの両方へ画像を表示する場合の構成を示す図である。

40

#### 【符号の説明】

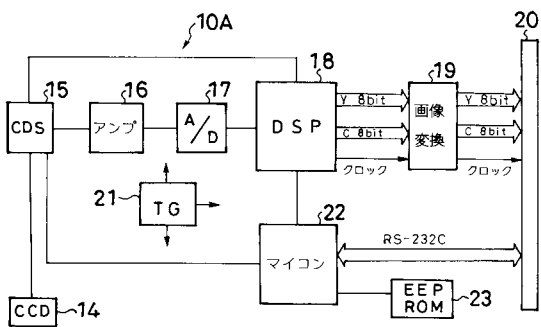
#### 【0034】

- 10 ... 電子スコープ、
- 10A ... 新電子スコープ、
- 11 ... プロセッサ装置、
- 14 ... CCD、
- 18 ... DSP（解像度変換回路）、
- 19 ... 画像変換回路（解像度変換回路）、
- 19a ... ラインメモリ、
- 19b, 19c ... カウンタ、
- 19d ... 同期信号生成回路、

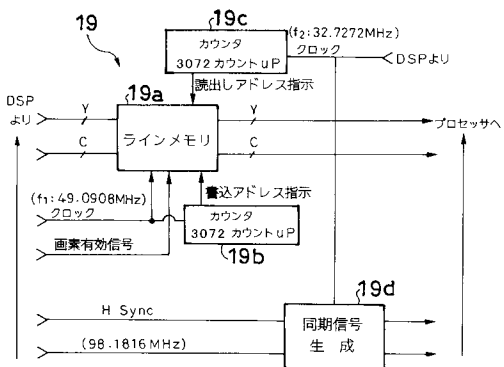
50

- 2 1 ... タイミングジェネレータ、
- 2 2 , 4 1 ... マイコン、
- 2 8 ... 非TV用解像度変換回路、
- 3 5 ... TV用解像度変換回路。

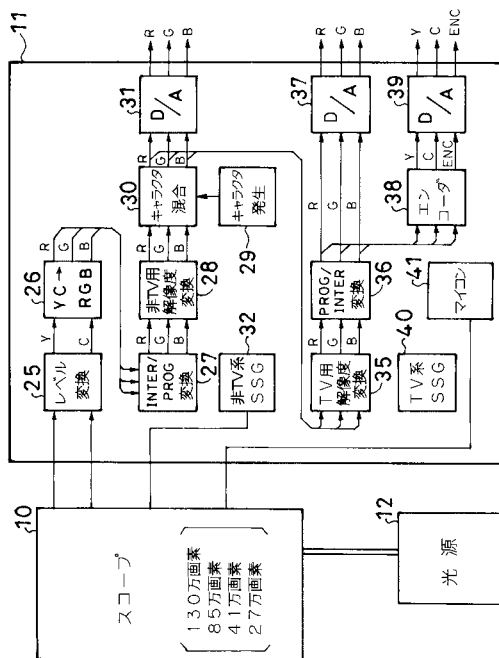
【 図 1 】



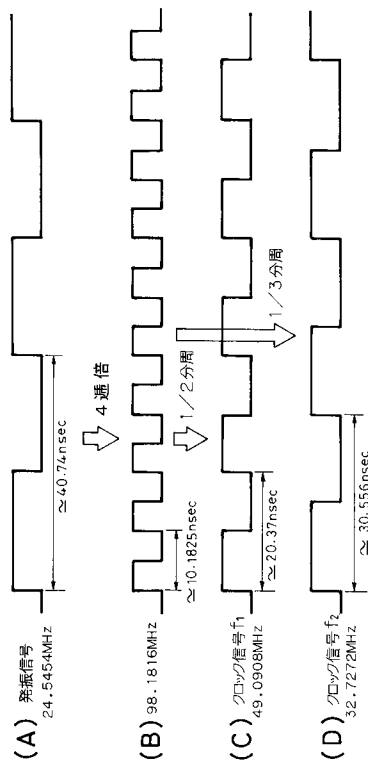
【 図 2 】



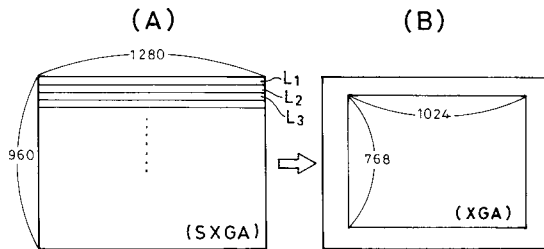
【 図 3 】



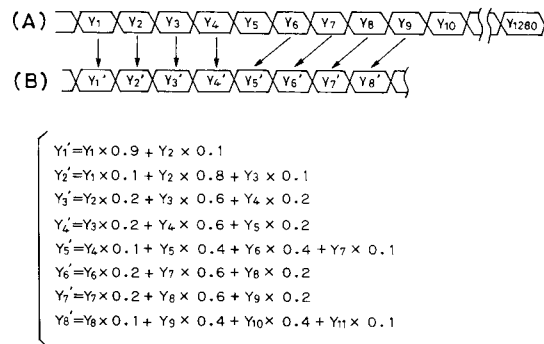
【図4】



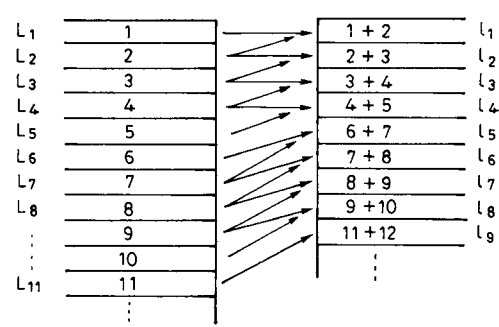
【図5】



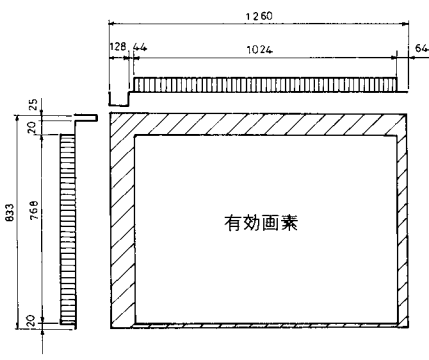
【図6】



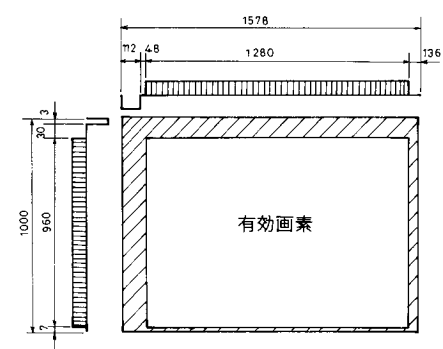
【図7】



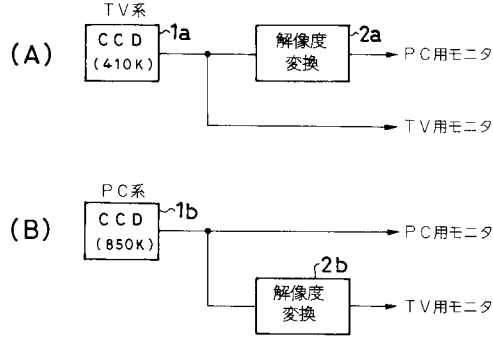
【図9】



【図8】



【図10】



专利名称(译)	电子内视镜装置		
公开(公告)号	<a href="#">JP2005118158A</a>	公开(公告)日	2005-05-12
申请号	JP2003354279	申请日	2003-10-14
[标]申请(专利权)人(译)	富士写真光机株式会社		
申请(专利权)人(译)	富士公司		
[标]发明人	阿部一則 南逸司		
发明人	阿部 一則 南 逸司		
IPC分类号	A61B1/04 H04N5/232		
FI分类号	A61B1/04.370 H04N5/232.Z A61B1/00.640 A61B1/04 A61B1/045.610 A61B1/045.613 H04N5/225.300 H04N5/225.500 H04N5/232 H04N5/232.030 H04N5/232.290		
F-TERM分类号	4C061/CC06 4C061/JJ18 4C061/JJ19 4C061/LL01 4C061/RR25 4C061/RR26 4C061/UU08 5C022/AA09 5C022/AB36 5C022/AC03 4C161/CC06 4C161/JJ18 4C161/JJ19 4C161/LL01 4C161/RR25 4C161/RR26 4C161/UU08 5C122/DA26 5C122/EA55 5C122/EA68 5C122/FH02 5C122/FH17 5C122/FK23 5C122/HA42 5C122/HA88 5C122/HB02 5C122/HB10		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：提供安装有新的高像素数固态成像装置的电子镜，以便连接到不对应于传统高像素数的处理器装置。 解决方案：例如，当配备有相当于130万像素的蜂窝CCD 14的新电子镜10A连接到执行与非TV型850,000像素CCD相对应的图像处理的处理器装置时，示波器侧分辨率转换电路提供DSP 18和图像转换电路19，并且从对应于1.3百万像素CCD的像素数（1280×960 SXGA）到对应于每个图像信号的85万像素CCD的像素数（1024×768 XGA）的下转换它是进行。此时，在图像转换电路19中，通过使用其中数据写入没有超过读取的像素的数量的行存储器，实现了没有显示延迟的快速处理。 点域1

